

# Labor Grundlagen der Elektrotechnik

Gruppe: S4

Versuch I2-5

Hendrik Schwarz, Edgar Nanninga

19.10.2000

1/8

## Digitale integrierte Schaltungen

### 1.0 Aufgaben zur Vorbereitung

#### 1.1

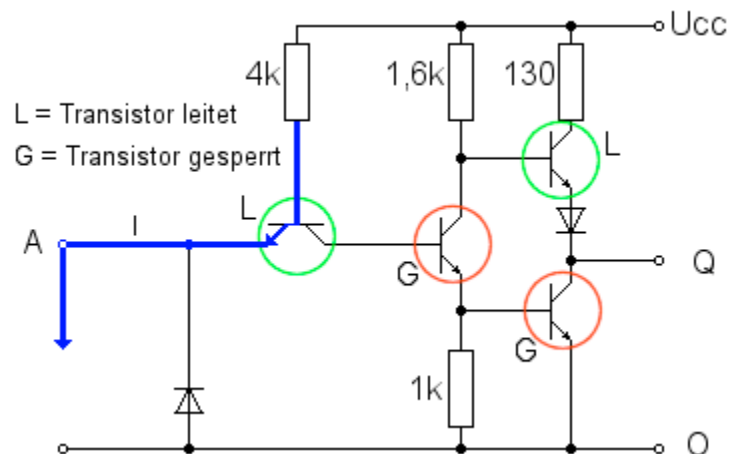
A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

Funktionstabelle

#### 1.2 Inverter SN7404

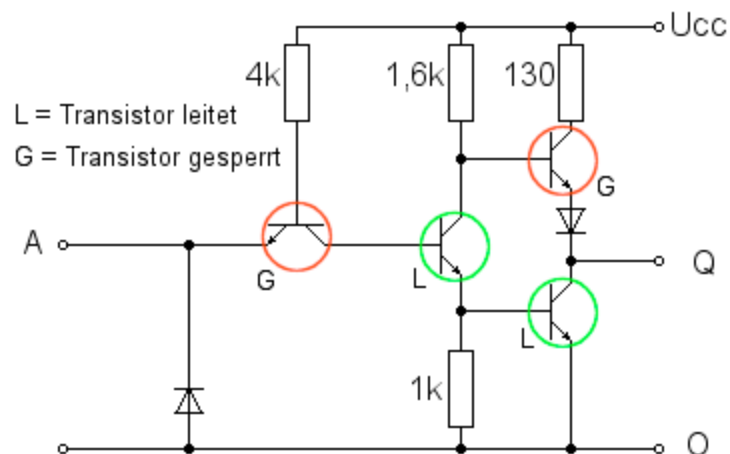
Pegel am Eingang: „H“

Pegel am Ausgang: „L“



Pegel am Eingang: „L“

Pegel am Ausgang: „H“



# Labor Grundlagen der Elektrotechnik

Gruppe: S4

Versuch I2-5

Hendrik Schwarz, Edgar Nanninga

19.10.2000

2/8

## 1.3 Was bedeutet der Begriff „Fan-out“ ?

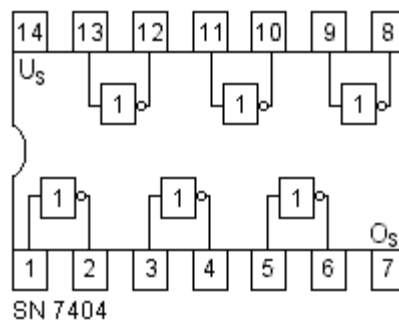
Eine zur Charakterisierung eines Gatters sehr wichtige Größe ist seine Treiberfähigkeit, d.h. der maximale Ausgangsstrom, der zur Ansteuerung nachgeschalteter Gattereingänge zur Verfügung steht. Das Maß für diese Treiberfähigkeit wird als *Fan-Out* definiert. Diese dimensionslose Größe gibt an, wieviele normierte Gattereingänge (Lasteinheiten) von einem Gatterausgang gespeist werden können, ohne daß die Vorgaben für die Pegelwerte verletzt werden.

Das *Fan-Out* errechnet sich als Quotient aus dem maximalen Ausgangsstrom des steuernden Gatters und dem maximalen Eingangsstrom des anzusteuernenden Gatters:

$$\text{Fan-Out} = \frac{I_{\text{Ausgang}_{\text{max}}}}{I_{\text{Eingang}_{\text{max}}}}$$

## 1.4 Parallelschaltung von Gatterausgängen

Die Parallelschaltung von Gatterausgängen kann zur Zerstörung des ICs führen. Begründung anhand eines SN7408 ICs:



Schaltet man zwei Ausgänge parallel so kann es vorkommen, daß an einem Ausgang ein „High“-Pegel anliegt an dem anderen aber ein „Low“-Pegel. Da beide Ausgänge miteinander verbunden sind, kommt es nun zu einem unzulässig hohen Kurzschlußstrom, der zu einer Zerstörung der Bauteile führt.

# Labor Grundlagen der Elektrotechnik

Gruppe: S4

Versuch I2-5

Hendrik Schwarz, Edgar Nanninga

19.10.2000

3/8

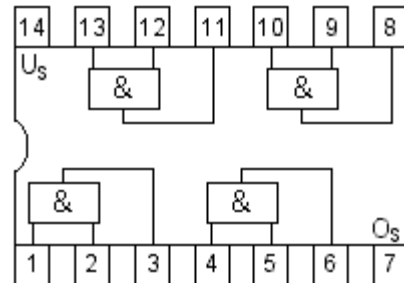
## 2.0 Experimentelle Aufgaben

### 2.1 UND-Gatter

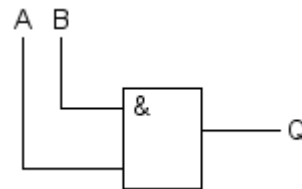
Schaltbelegungstabelle,  
Anschlußordnung und  
Aufbau des UND-Gatters

A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

UND-Gatter



SN 7408 (FLH 381)

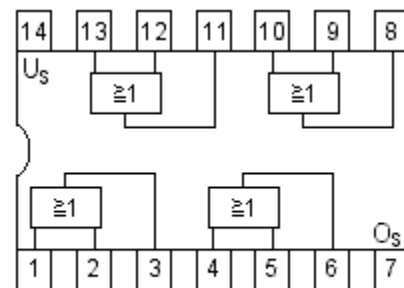


### 2.2 ODER-Gatter

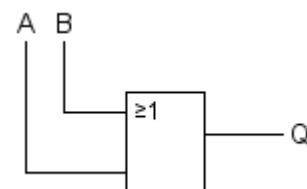
Schaltbelegungstabelle,  
Anschlußordnung und  
Aufbau des ODER-Gatters

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

ODER-Gatter



SN 7432 (FLH 631)



# Labor Grundlagen der Elektrotechnik

Gruppe: S4

Versuch I2-5

Hendrik Schwarz, Edgar Nanninga

19.10.2000

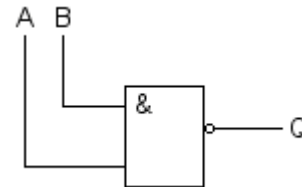
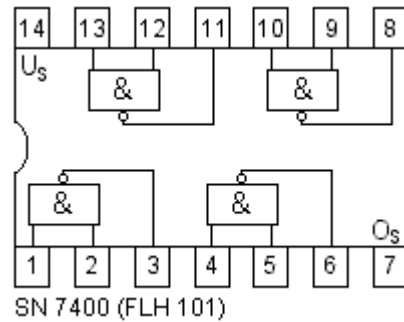
4/8

## 2.3 NAND-Gatter

Schaltbelegungstabelle,  
Anschlußordnung und  
Aufbau des NAND-Gatters

A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0

NAND-Gatter

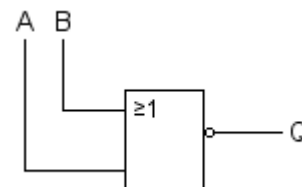
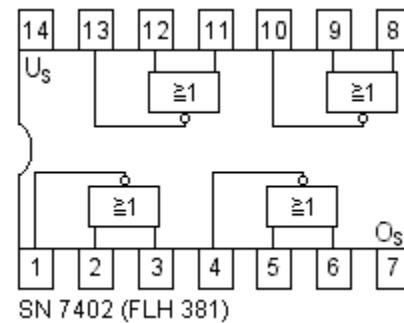


## 2.4 NOR-Gatter

Schaltbelegungstabelle,  
Anschlußordnung und  
Aufbau des NOR-Gatters

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	0

NOR-Gatter



# Labor Grundlagen der Elektrotechnik

Gruppe: S4

Versuch I2-5

Hendrik Schwarz, Edgar Nanninga

19.10.2000

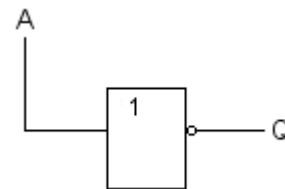
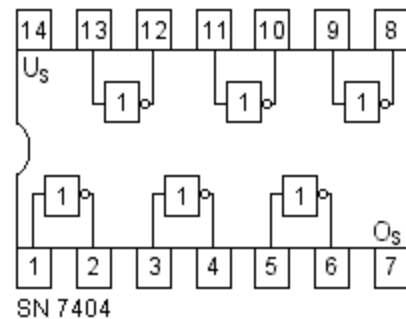
5/8

## 2.5 Negationsglied

Schaltbelegungstabelle,  
Anschlußordnung und  
Aufbau des Negationsglieds

A	Q
0	1
1	0

Negationsglied

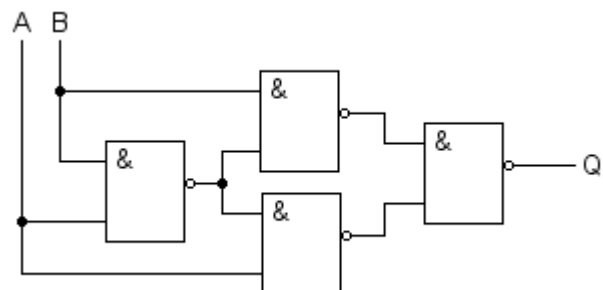


## 2.6 Logische Verknüpfung durch Schaltnetz

Schaltbelegungstabelle und  
Anschlußordnung des Schaltnetzes  
Aufbau mit Hilfe eines IC SN7400

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

Schaltnetz



Der Ausgang Q wird nur auf „HIGH“ gesetzt, wenn die Eingangsvariablen A und B unterschiedlich gesetzt werden. Sind die Eingangsvariablen gleich, ist der Ausgang auf „LOW“ gesetzt. Es handelt sich hierbei um ein „Exklusiv-ODER“ (XOR).

# Labor Grundlagen der Elektrotechnik

Gruppe: S4

Versuch I2-5

Hendrik Schwarz, Edgar Nanninga

19.10.2000

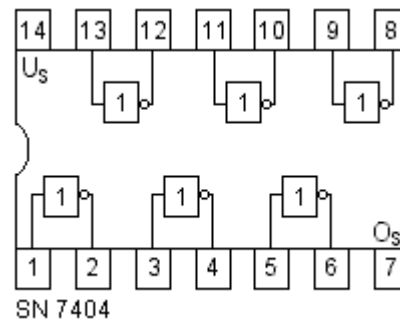
6/8

## 2.7.1 Schaltverhalten eines Gatters am Beispiel Inverter

U <sub>aus</sub> /V	U <sub>ein</sub> /V	I <sub>ein</sub> /mA
0,08	4,96	0,0048
0,50	1,40	0,60
1,00	1,39	0,60
1,50	1,34	0,68
2,00	1,32	0,71
2,50	1,26	0,73
3,00	1,12	0,77
3,50	0,87	0,84
4,00	0,47	0,96
4,50	<b>keine Werte!</b>	
5,00		

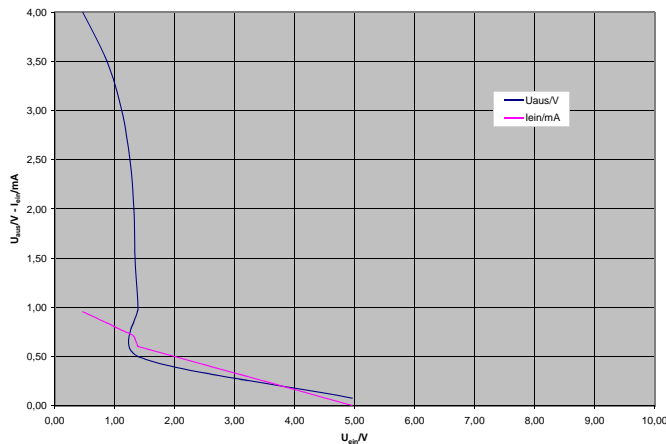
Meßwerte des Schaltnetzes

Verwendeter Inverter



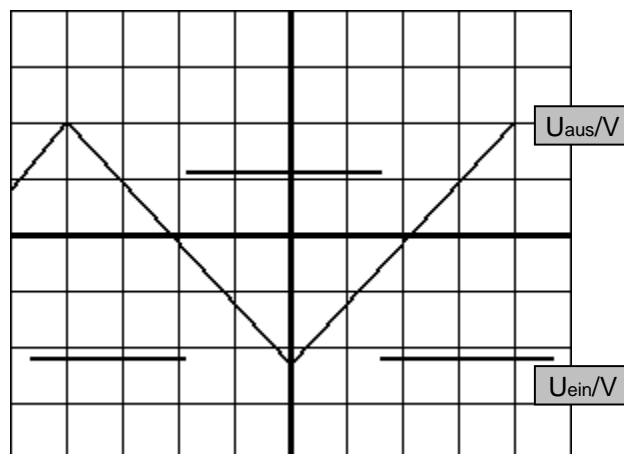
Der Inverterausgang geht ab  $U_{aus} = 0,08$  von „L“ auf „H“.

Graphische Darstellung:



**Anmerkung zu den Ergebnissen:** Bei Berührung des ICs flackerte das Oszilloskop und die Spannungen und der Strom bewegten sich wild hin und her. Durch das nicht ganz 100%ige Material können die Meßwerte und Graphen aus 2.7.1 verfälscht sein!!!

## 2.7.2 Skizze der Ein- und Ausgangsspannung auf dem Oszilloskop



(siehe auch Skizze Versuchsaufzeichnungen)

# Labor Grundlagen der Elektrotechnik

Gruppe: S4

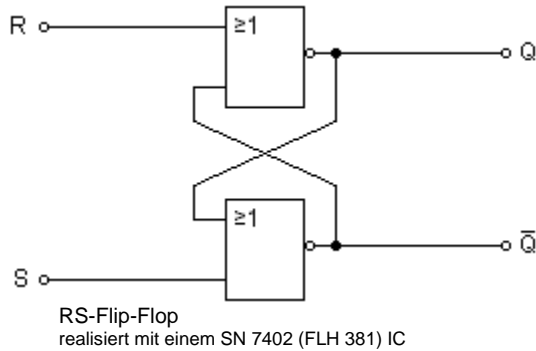
Versuch I2-5

Hendrik Schwarz, Edgar Nanninga

19.10.2000

7/8

## 2.8 RS-Flip-Flop mit NOR Gattern



S	R	Q	$\bar{Q}$
0	1	1	0
0	0	1	0
1	0	0	1
0	0	0	1
0	1	1	0
1	1	0	0
1	0	0	1
1	1	0	0

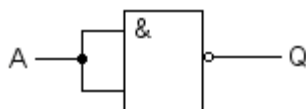
Schalttabelle des RS-Flip-Flop

### Beschreibung:

Das RS-Flip-Flop hat die Eigenschaft eines 1-Bit-Speichers. Durch das Set-Signal („S“) wird der Ausgang Q auf „High“ gesetzt. Dieser Zustand wird auch beibehalten, wenn das „S“ Signal von „High“ auf „Low“ wechselt. Durch das Reset-Signal („R“) wird der Ausgang Q auf „Low“ zurückgesetzt. Auch dieser Zustand wird gespeichert, wenn das „R“ Signal von „High“ auf „Low“ wechselt. Der Ausgang  $\bar{Q}$  ist der invertierte Ausgang von Q.

## 3. Nachträgliche Aufgabe

Die Negation kann auch mit dem Schaltbild eines NANDs realisiert werden, indem der Zugang auf beide Zugänge gelegt wird.



A	Q
0	1
1	0

"Hilfsinverter"

# Labor Grundlagen der Elektrotechnik

Gruppe: S4

Versuch I2-5

Hendrik Schwarz, Edgar Nanninga

19.10.2000

8/8

## Geräteliste

ELABO Koffer	23.174
Philips Funktion Generator	23.186
MX545 Metrix	23.200
MX545 Metrix	23.188
Multavi 5	23.107
Oszilloskop	

### Diverse ICs

SN 2408  
SN 7432  
SN 7400  
SN 7402  
SN 7404

Hendrik Schwarz, Mat.-Nr.: 2083633

---

Edgar Nanninga, Mat.-Nr.: 2084635

---



This document was created with Win2PDF available at <http://www.daneprairie.com>.  
The unregistered version of Win2PDF is for evaluation or non-commercial use only.